

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

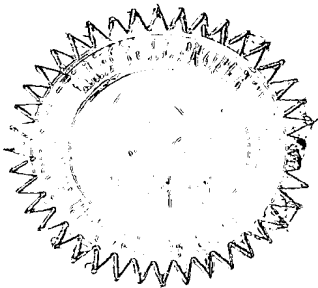
출원 번호 : 10-2002-0084281

Application Number

출원 년 월 일 : 2002년 12월 26일

Date of Application DEC 26, 2002

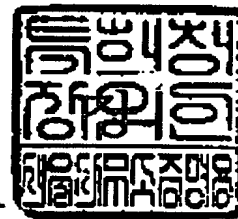
출원인 : 매그나칩 반도체 유한회사
Applicant(s) Magnachip Semiconductor, Ltd.



2006년 01월 14일

특 허 청

COMMISSIONER



◆ This certificate was issued by Korean Intellectual Property Office. Please confirm any forgery or alteration of the contents by an issue number or a barcode of the document below through the KIPOnet- Online Issue of the Certificates' menu of Korean Intellectual Property Office homepage (www.kipo.go.kr). But please notice that the confirmation by the issue number is available only for 90 days.

【서지사항】

【서류명】	출원인 변경 신고서
【수신처】	특허청장
【제출일자】	2004. 10. 06
【구명의인(양도인)】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【사건과의 관계】	출원인
【신명의인(양수인)】	
【명칭】	매그나칩 반도체 유한회사
【출원인코드】	1-2004-026518-7
【대리인】	
【성명】	주성민
【대리인코드】	9-1998-000517-7
【대리인】	
【성명】	장수길
【대리인코드】	9-1998-000482-8
【사건의 표시】	
【출원번호】	10-2002-0084274
【출원일자】	2002. 12. 26
【발명의 명칭】	반도체 소자의 본딩 패드 형성 방법
【사건의 표시】	
【출원번호】	10-2002-0084275
【출원일자】	2002. 12. 26
【발명의 명칭】	듀얼 다마신 패턴 형성 방법
【사건의 표시】	
【출원번호】	10-2002-0084276
【출원일자】	2002. 12. 26

【발명의 명칭】	듀얼다마신 패턴 형성 방법
【사건의 표시】	
【출원번호】	10-2002-0084277
【출원일자】	2002. 12. 26
【발명의 명칭】	반도체 소자의 제조 방법
【사건의 표시】	
【출원번호】	10-2002-0084278
【출원일자】	2002. 12. 26
【심사청구일자】	2002. 12. 26
【발명의 명칭】	반도체 소자의 캐패시터 제조 방법
【사건의 표시】	
【출원번호】	10-2002-0084279
【출원일자】	2002. 12. 26
【발명의 명칭】	반도체 소자의 캐패시터 제조 방법
【사건의 표시】	
【출원번호】	10-2002-0084280
【출원일자】	2002. 12. 26
【심사청구일자】	2002. 12. 26
【발명의 명칭】	반도체 소자의 소자 분리막 형성 방법
【사건의 표시】	
【출원번호】	10-2002-0084281
【출원일자】	2002. 12. 26
【심사청구일자】	2002. 12. 26
【발명의 명칭】	반도체 소자의 소자 분리막 형성 방법
【사건의 표시】	
【출원번호】	10-2002-0084282
【출원일자】	2002. 12. 26
【발명의 명칭】	반도체 소자의 캐패시터 제조 방법

【사건의 표시】**【출원번호】** 10-2002-0084283**【출원일자】** 2002. 12. 26**【발명의 명칭】** 반도체 소자의 캐패시터 제조 방법**【사건의 표시】****【출원번호】** 10-2002-0084284**【출원일자】** 2002. 12. 26**【심사청구일자】** 2002. 12. 26**【발명의 명칭】** 반도체 소자의 캐패시터 제조 방법**【사건의 표시】****【출원번호】** 10-2002-0084285**【출원일자】** 2002. 12. 26**【발명의 명칭】** 반도체 소자의 소자 분리막 형성 방법**【사건의 표시】****【출원번호】** 10-2002-0084286**【출원일자】** 2002. 12. 26**【발명의 명칭】** 반도체 소자의 제조 방법**【사건의 표시】****【출원번호】** 10-2002-0084292**【출원일자】** 2002. 12. 26**【발명의 명칭】** 반도체 소자의 제조 방법**【사건의 표시】****【출원번호】** 10-2002-0084294**【출원일자】** 2002. 12. 26**【심사청구일자】** 2002. 12. 26**【발명의 명칭】** 반도체 소자의 제조 방법**【사건의 표시】****【출원번호】** 10-2002-0084297

【출원일자】 2002. 12. 26
【발명의 명칭】 반도체 소자 제조 방법
【사건의 표시】
【출원번호】 10-2002-0084298
【출원일자】 2002. 12. 26
【발명의 명칭】 펄리클을 구비한 포토 마스크
【사건의 표시】
【출원번호】 10-2002-0084300
【출원일자】 2002. 12. 26
【발명의 명칭】 반도체 소자의 금속 배선 형성 방법
【사건의 표시】
【출원번호】 10-2002-0084301
【출원일자】 2002. 12. 26
【발명의 명칭】 반도체 소자의 금속 배선 형성 방법
【사건의 표시】
【출원번호】 10-2002-0084302
【출원일자】 2002. 12. 26
【발명의 명칭】 반도체 소자의 실리사이드층 형성 방법
【사건의 표시】
【출원번호】 10-2002-0084303
【출원일자】 2002. 12. 26
【발명의 명칭】 반도체 소자의 감광막 패턴 형성 방법
【사건의 표시】
【출원번호】 10-2002-0084304
【출원일자】 2002. 12. 26
【발명의 명칭】 반도체 소자의 감광막 패턴 형성 방법
【사건의 표시】
【출원번호】 10-2002-0084305

【출원일자】 2002.12.26
【발명의 명칭】 반도체 소자의 소자분리막 형성 방법
【사건의 표시】
【출원번호】 10-2002-0084306
【출원일자】 2002.12.26
【발명의 명칭】 반도체 소자의 구리 배선 형성 방법
【사건의 표시】
【출원번호】 10-2002-0084332
【출원일자】 2002.12.26
【심사청구일자】 2002.12.26
【발명의 명칭】 반도체 소자의 소자분리막 형성 방법
【사건의 표시】
【출원번호】 10-2002-0084333
【출원일자】 2002.12.26
【발명의 명칭】 반도체 소자의 제조 방법
【사건의 표시】
【출원번호】 10-2002-0084334
【출원일자】 2002.12.26
【발명의 명칭】 구리 배선 형성 방법
【사건의 표시】
【출원번호】 10-2002-0084335
【출원일자】 2002.12.26
【발명의 명칭】 테스트 패턴 및 그 형성 방법
【사건의 표시】
【출원번호】 10-2002-0084338
【출원일자】 2002.12.26
【심사청구일자】 2002.12.26
【발명의 명칭】 반도체 소자의 장벽 금속층 형성 방법

【사건의 표시】**【출원번호】** 10-2002-0084339**【출원일자】** 2002. 12. 26**【심사청구일자】** 2002. 12. 26**【발명의 명칭】** 반도체 소자의 듀얼 다마신 패턴 형성 방법**【사건의 표시】****【출원번호】** 10-2002-0084340**【출원일자】** 2002. 12. 26**【발명의 명칭】** 반도체 소자의 듀얼 다마신 패턴 형성 방법**【사건의 표시】****【출원번호】** 10-2002-0084341**【출원일자】** 2002. 12. 26**【심사청구일자】** 2002. 12. 26**【발명의 명칭】** 듀얼 다마신 구조를 갖는 미세 패턴 형성 방법**【사건의 표시】****【출원번호】** 10-2002-0084342**【출원일자】** 2002. 12. 26**【발명의 명칭】** 듀얼 다마신 구조를 갖는 미세패턴 형성 방법**【사건의 표시】****【출원번호】** 10-2002-0084343**【출원일자】** 2002. 12. 26**【발명의 명칭】** 듀얼 다마신 구조를 갖는 미세패턴 형성 방법**【사건의 표시】****【출원번호】** 10-2002-0084357**【출원일자】** 2002. 12. 26**【심사청구일자】** 2002. 12. 26**【발명의 명칭】** 마스크 제작 방법**【사건의 표시】**

- 【출원번호】** 10-2002-0084358
【출원일자】 2002.12.26
【심사청구일자】 2002.12.26
【발명의 명칭】 반도체소자의 트렌치 형성방법
【사건의 표시】
- 【출원번호】** 10-2002-0084398
【출원일자】 2002.12.26
【심사청구일자】 2002.12.26
【발명의 명칭】 머지드 디램 엔 로직 소자의 제조방법
【사건의 표시】
- 【출원번호】** 10-2002-0084408
【출원일자】 2002.12.26
【발명의 명칭】 반도체소자의 살리사이드 형성방법
【사건의 표시】
- 【출원번호】** 10-2002-0084419
【출원일자】 2002.12.26
【발명의 명칭】 슬러리 공급장치
【사건의 표시】
- 【출원번호】** 10-2002-0084420
【출원일자】 2002.12.26
【심사청구일자】 2002.12.26
【발명의 명칭】 반도체 소자의 얇은 트렌치 소자분리막 형성방법
【사건의 표시】
- 【출원번호】** 10-2002-0084636
【출원일자】 2002.12.26
【발명의 명칭】 반도체 소자의 메탈 콘택 형성방법
【사건의 표시】
- 【출원번호】** 10-2002-0084637

- 【출원일자】 2002.12.26
- 【발명의 명칭】 반도체 소자의 커패시터 형성방법
- 【사건의 표시】
- 【출원번호】 10-2002-0084638
- 【출원일자】 2002.12.26
- 【발명의 명칭】 텅스텐 비트라인을 갖는 엠비디드 메모리 소자의 제조방법
- 【사건의 표시】
- 【출원번호】 10-2002-0084639
- 【출원일자】 2002.12.26
- 【발명의 명칭】 강유전체막을 이용한 반도체 메모리소자의 제조방법 및 그의 셀 트랜지스터
- 【사건의 표시】
- 【출원번호】 10-2002-0084644
- 【출원일자】 2002.12.26
- 【발명의 명칭】 반도체 소자의 듀얼 게이트 산화막 형성방법
- 【사건의 표시】
- 【출원번호】 10-2002-0084645
- 【출원일자】 2002.12.26
- 【발명의 명칭】 반도체 소자의 게이트 전극 제조방법
- 【사건의 표시】
- 【출원번호】 10-2002-0084646
- 【출원일자】 2002.12.26
- 【발명의 명칭】 반도체소자의 커패시터 형성방법
- 【사건의 표시】
- 【출원번호】 10-2002-0084647
- 【출원일자】 2002.12.26
- 【발명의 명칭】 반도체소자의 커패시터 형성방법
- 【사건의 표시】

- 【출원번호】** 10-2002-0084648
【출원일자】 2002. 12. 26
【발명의 명칭】 반도체 메모리 소자의 셀 게이트 형성방법
【사건의 표시】
- 【출원번호】** 10-2002-0084649
【출원일자】 2002. 12. 26
【발명의 명칭】 반도체 소자의 금속 배선 패터닝 방법
【사건의 표시】
- 【출원번호】** 10-2002-0084650
【출원일자】 2002. 12. 26
【발명의 명칭】 반도체 소자의 커패시터 형성방법
【사건의 표시】
- 【출원번호】** 10-2002-0084651
【출원일자】 2002. 12. 26
【발명의 명칭】 반도체 소자의 게이트 형성방법
【사건의 표시】
- 【출원번호】** 10-2002-0084652
【출원일자】 2002. 12. 26
【발명의 명칭】 반도체 바이폴라 제조방법
【사건의 표시】
- 【출원번호】** 10-2002-0084653
【출원일자】 2002. 12. 26
【발명의 명칭】 고전압 트랜지스터를 구비한 반도체 소자의 제조방법
【사건의 표시】
- 【출원번호】** 10-2002-0084654
【출원일자】 2002. 12. 26
【발명의 명칭】 반도체 소자의 콘택 형성방법
【사건의 표시】

- 【출원번호】** 10-2002-0084655
【출원일자】 2002. 12. 26
【발명의 명칭】 인덕터의 제조 공정을 모니터링 하기 위한 패턴의 형성방법
【사건의 표시】
- 【출원번호】** 10-2002-0084656
【출원일자】 2002. 12. 26
【심사청구일자】 2004. 05. 20
【발명의 명칭】 0.35 um표준 공정을 적용한 2비트 플래시 셀 및 그 제조방법
【사건의 표시】
- 【출원번호】** 10-2002-0084657
【출원일자】 2002. 12. 26
【발명의 명칭】 고전압 트랜지스터 제조방법
【사건의 표시】
- 【출원번호】** 10-2002-0084658
【출원일자】 2002. 12. 26
【발명의 명칭】 파워 MOS 트랜지스터
【사건의 표시】
- 【출원번호】** 10-2002-0084793
【출원일자】 2002. 12. 27
【발명의 명칭】 U S B 인터페이스 기능을 갖춘 다기능 블루투스 송수신 장치
【사건의 표시】
- 【출원번호】** 10-2002-0084794
【출원일자】 2002. 12. 27
【발명의 명칭】 무선헤드셋에서의 오디오 신호 처리장치
【사건의 표시】

- 【출원번호】** 10-2002-0084795
【출원일자】 2002. 12. 27
【발명의 명칭】 다중 수신 안테나를 갖춘 블루투스 수신기
【사건의 표시】
- 【출원번호】** 10-2002-0084796
【출원일자】 2002. 12. 27
【발명의 명칭】 플래쉬 메모리의 데이터 보호 회로
【사건의 표시】
- 【출원번호】** 10-2002-0084797
【출원일자】 2002. 12. 27
【발명의 명칭】 온 스크린 디스플레이(O S D) 내부 메모리 복구 시스템
【사건의 표시】
- 【출원번호】** 10-2002-0084798
【출원일자】 2002. 12. 27
【발명의 명칭】 미세전자기계시스템(M E M S) 구조체를 이용한 반도체 장치의 입출력 셀
【사건의 표시】
- 【출원번호】** 10-2002-0084799
【출원일자】 2002. 12. 27
【심사청구일자】 2002. 12. 27
【발명의 명칭】 파워 절약형 클럭 신호 발생 회로
【사건의 표시】
- 【출원번호】** 10-2002-0084800
【출원일자】 2002. 12. 27
【발명의 명칭】 휴대용 전산기기에 적용되는 키보드
【사건의 표시】
- 【출원번호】** 10-2002-0084801
【출원일자】 2002. 12. 27

【심사청구일자】	2002.12.27
【발명의 명칭】	테스트 장치
【사건의 표시】	
【출원번호】	10-2002-0084802
【출원일자】	2002.12.27
【발명의 명칭】	플래시 메모리 장치의 데이터 보상방법
【사건의 표시】	
【출원번호】	10-2002-0084803
【출원일자】	2002.12.27
【심사청구일자】	2002.12.27
【발명의 명칭】	클럭 발생기의 노이즈 제어 장치
【사건의 표시】	
【출원번호】	10-2002-0084804
【출원일자】	2002.12.27
【발명의 명칭】	지연회로
【사건의 표시】	
【출원번호】	10-2002-0084805
【출원일자】	2002.12.27
【심사청구일자】	2002.12.27
【발명의 명칭】	EPROM의 프로그램 모드 진입회로
【사건의 표시】	
【출원번호】	10-2002-0084806
【출원일자】	2002.12.27
【발명의 명칭】	관통전류 제거를 위한 출력포트 회로
【사건의 표시】	
【출원번호】	10-2002-0084807
【출원일자】	2002.12.27
【발명의 명칭】	플래쉬 메모리 장치

【사건의 표시】

【출원번호】 10-2002-0085034
【출원일자】 2002. 12. 27
【심사청구일자】 2002. 12. 27
【발명의 명칭】 시모스 이미지센서 및 그 제조방법

【사건의 표시】

【출원번호】 10-2002-0085036
【출원일자】 2002. 12. 27
【발명의 명칭】 모스트랜지스터 제조방법

【사건의 표시】

【출원번호】 10-2002-0085057
【출원일자】 2002. 12. 27
【발명의 명칭】 실리사이드 공정의 공정마진을 향상시킨 시모스 이미지센서의 제조방법

【사건의 표시】

【출원번호】 10-2002-0085059
【출원일자】 2002. 12. 27
【발명의 명칭】 포토다이오드 주위에 광 집속층을 구비한 시모스 이미지센서

【사건의 표시】

【출원번호】 10-2002-0085065
【출원일자】 2002. 12. 27
【발명의 명칭】 시모스 이미지센서의 제조방법

【사건의 표시】

【출원번호】 10-2002-0085067
【출원일자】 2002. 12. 27
【발명의 명칭】 누화현상을 감소시킨 시모스 이미지센서 및 그 제조 방법

【사건의 표시】**【출원번호】** 10-2002-0085068**【출원일자】** 2002. 12. 27**【발명의 명칭】** 포토다이오드의 표면을 보호하는 막을 구비한 시모스 이미지센서 및 그 제조 방법**【사건의 표시】****【출원번호】** 10-2002-0085074**【출원일자】** 2002. 12. 27**【발명의 명칭】** 포토다이오드의 표면결함을 치료하는 시모스 이미지센서 및 그 제조방법**【사건의 표시】****【출원번호】** 10-2002-0085077**【출원일자】** 2002. 12. 27**【발명의 명칭】** 오버코팅레이어의 필링현상을 방지한 시모스 이미지센서의 제조방법**【사건의 표시】****【출원번호】** 10-2002-0085085**【출원일자】** 2002. 12. 27**【심사청구일자】** 2002. 12. 27**【발명의 명칭】** 스페이서 식각 버퍼질화막을 적용한 시모스 이미지센서의 제조방법**【사건의 표시】****【출원번호】** 10-2002-0085089**【출원일자】** 2002. 12. 27**【발명의 명칭】** 이미지센서 제조방법**【사건의 표시】****【출원번호】** 10-2002-0085095

- 【출원일자】 2002.12.27
- 【발명의 명칭】 반도체 소자의 실리사이드 형성방법
- 【사건의 표시】
- 【출원번호】 10-2002-0085113
- 【출원일자】 2002.12.27
- 【심사청구일자】 2002.12.27
- 【발명의 명칭】 스페이서 블록마스크를 적용한 시모스 이미지센서의 제조방법
- 【사건의 표시】
- 【출원번호】 10-2002-0085118
- 【출원일자】 2002.12.27
- 【심사청구일자】 2002.12.27
- 【발명의 명칭】 장파장의 광에 대한 마이크로렌즈의 곡률반경을 감소시킨 시모스 이미지센서 및 그 제조방법
- 【사건의 표시】
- 【출원번호】 10-2002-0085119
- 【출원일자】 2002.12.27
- 【발명의 명칭】 시모스 이미지센서의 제조방법
- 【사건의 표시】
- 【출원번호】 10-2002-0085120
- 【출원일자】 2002.12.27
- 【심사청구일자】 2002.12.27
- 【발명의 명칭】 시모스 이미지센서의 실리사이드 형성방법
- 【사건의 표시】
- 【출원번호】 10-2002-0085127
- 【출원일자】 2002.12.27
- 【발명의 명칭】 시모스 이미지센서의 실리사이드 형성방법

【사건의 표시】**【출원번호】** 10-2002-0085129**【출원일자】** 2002. 12. 27**【발명의 명칭】** 시모스 이미지센서의 실리사이드 형성방법**【사건의 표시】****【출원번호】** 10-2002-0085133**【출원일자】** 2002. 12. 27**【발명의 명칭】** 입사광의 파장에 따라 마이크로렌즈의 곡률반경을 달리한
시모스 이미지센서 및 그 제조 방법**【사건의 표시】****【출원번호】** 10-2002-0085137**【출원일자】** 2002. 12. 27**【발명의 명칭】** 시모스 이미지센서 및 그 제조방법**【사건의 표시】****【출원번호】** 10-2002-0085138**【출원일자】** 2002. 12. 27**【발명의 명칭】** 시모스 이미지센서 및 그 제조방법**【사건의 표시】****【출원번호】** 10-2002-0085139**【출원일자】** 2002. 12. 27**【발명의 명칭】** 인덕터 소자 제조 방법**【사건의 표시】****【출원번호】** 10-2002-0085140**【출원일자】** 2002. 12. 27**【발명의 명칭】** 시모스 이미지센서의 단위화소 및 그 제조방법**【사건의 표시】****【출원번호】** 10-2002-0085163**【출원일자】** 2002. 12. 27

【심사청구일자】 2002.12.27
【발명의 명칭】 이미지센서의 불량픽셀 보상장치
【사건의 표시】
【출원번호】 10-2002-0085164
【출원일자】 2002.12.27
【심사청구일자】 2002.12.27
【발명의 명칭】 이미지센서의 트렌치 소자분리막 형성방법
【사건의 표시】
【출원번호】 10-2002-0085198
【출원일자】 2002.12.27
【발명의 명칭】 시모스 이미지센서의 플리커 노이즈 제거방법 및 이를 적용한 시모스 이미지 센서
【변경원인】 전부양도
【취지】 특허법 제38조제4항·실용신안법 제20조·의장법 제24조 및 상표법 제12조 제1항의 규정에 의하여 위와 같이 신고합니다.

대리인
주성민 (인)

대리인
장수길 (인)

【수수료】 1,300,000 원

【첨부서류】 1. 양도증[사본]_1통(이하에 명기한 제출서류에 첨부된 것을 원용) [서류명]출원인 변경 신고서 [출원번호]10-2002-0039374 2. 인감증명서[양도인의 법인인감 증명서 사본]_1통(이하에 명기한 제출서류에 첨부된 것을 원용) [서류명]출원인 변경 신고서 [출원번호]10-2002-0039374 3. 위임장[양도인의 위임장

사본]_1통(이하에 명기한 제출서류에 첨부 된 것을 원용)

[서류명]출원인 변경 신고서 [출원번호]10-2002-0039374

4. 위임장[양수인의 위임장 사본]_1통(이하에 명기한 제출서류에 첨부 된 것을 원용) [서류명]출원인 변경 신고서 [출원번호]10-2002-0039374

【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【참조번호】 0010
【제출일자】 2002.12.26
【발명의 국문명칭】 반도체 소자의 소자 분리막 형성 방법
【발명의 영문명칭】 Method of forming an isolation film in semiconductor device

【출원인】

【명칭】 (주)하이닉스 반도체
【출원인코드】 1-1998-004569-8

【대리인】

【성명】 신영무
【대리인코드】 9-1998-000265-6
【포괄위임등록번호】 1999-003525-1

【발명자】

【성명의 국문표기】 이원권
【성명의 영문표기】 LEE, Won Kwon
【주민등록번호】 760602-1357524
【우편번호】 380-061
【주소】 충청북도 충주시 교현1동 486-17 14/1
【국적】 KR

【심사청구】 청구

【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다.

대리인

신영무 (인)

【수수료】

【기본출원료】 16 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 3 항 205,000 원

【합계】 234,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명은 반도체 소자의 소자 분리막 형성 방법에 관한 것으로, 비정질 실리콘막 삽입과 비정질 실리콘막의 산화된 부분이 필드 산화막과 융화되어 필드 산화막이 활성영역보다 높게 형성되고, 활성영역 상부까지 넓게 형성되어, 후속 식각 및 세정 공정시 모우트가 발생하지 않아, 소자의 전기적 특성을 향상할 수 있고, 트렌치 상부에 완만한 경사면을 형성하여 필드 산화막 상부 모서리 부근에 집중되었던 스트레스를 최소화 할 수 있으며, ATC 처리로 인해 측벽 표면 및 하부의 거칠기를 개선할 수 있는 반도체 소자의 소자 분리막 형성 방법을 제공한다.

【대표도】

도 1h

【색인어】

필드 산화막, 산소 플라즈마 산화공정, 비정질 실리콘막

【명세서】

【발명의 명칭】

반도체 소자의 소자 분리막 형성 방법{Method of forming an isolation film in semiconductor device}

【도면의 간단한 설명】

<1> 도 1a 내지 도 1h는 본 발명에 따른 반도체 소자의 소자 분리막 형성 방법을 설명하기 위한 단면도들이다.

<2> <도면의 주요 부분에 대한 부호의 설명>

<3> 10 : 반도체 기판 12 : 패드 산화막

<4> 14 : 비정질 실리콘막 16 : 하드 마스크막

<5> 18 : 감광막 패턴 20 : 폴리머막

<6> 22 : 트렌치 24 : 필드 산화막

<7> 26 : 산화막

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<8> 본 발명은 반도체 소자의 소자 분리막 형성 방법에 관한 것으로, 특히, 0.25 μm 이하의 디자인 룰을 갖는 반도체 소자의 제조 공정 중, 모우트가 형성되지 않는 소자 분리막 형성 방법에 관한 것이다.

<9> 일반적으로 반도체 기판 상에 트랜지스터와 커패시터등을 형성하기 위하여 반도체 기판에는 전기적으로 통전이 가능한 활성영역(Active Region)과 전기적으로 통전되는 것을 방지하고 소자를 서로 분리하는 소자분리영역(Isolation Region)을 형성한다.

<10> 소자 분리 공정에는 일반적으로, 반도체 기판에 패드 산화막과 패드 질화막을 형성한 다음, 패드 질화막 및 패드 산화막을 패터닝하고, 패터닝된 부위에 산화공정을 실시하여 소자를 분리하는 LOCOS(Local Oxidation of Silicon) 공정과, 패드 질화막, 패드 산화막 및 반도체 기판을 패터닝하여 트렌치를 형성하고, 상기의 트렌치에 산화물질을 증착시킨 후 화학 기계전 연마를 통해 산화막의 불필요한 부분을 식각하여 소자 분리막을 형성하는 셀로우 트렌치 아이솔레이션(Shallow Trench Isolation; STI) 공정이 있다.

<11> LOCOS 공정은 장시간 고온 산화로 인하여 채널저지 이온의 측면 확산 및 측면 산화에 의해 소자의 전기적 특성을 저하시키는 원인으로 작용하는 새부리(Bird Beak)가 발생하여 약 0.25 μm 이하의 디자인 룰을 갖는 공정에는 필드 산화막을 형

성하기 어려운 한계가 있다. 또한 필드 산화막의 깊이를 늘릴 때에는 반도체 기판에 과도한 스트레스(Stress)와 평탄성이 좋지 않고, 필드 영역이 얇아지는 효과(Field Thinning Effect)에 의해 소자 분리 특성 저하와 같은 문제점이 발생한다.

<12> LOCOS의 문제점을 해결하기 위해 현재 $0.25\mu\text{m}$ 이하의 미세 공정에서는 소자 분리형성 방법으로 STI 공정을 사용하고 있다. STI 공정은 LOCOS 공정의 단점인 새부리현상이 발생하지 않아 고립 능력이 우수하다. 하지만, STI구조의 트렌치의 상부 코너 부분과 하부 코너 부분에 스트레스가 집중하여 소자 특성이 저하되는 문제점과 트렌치 내부의 갭 필링(Gap Filling)에 있어서 많은 문제점이 발생한다. 또한 평탄화 공정 적용으로 인해 공정이 복잡하고, 패턴간의 균일성이 좋지 않으며, 역협폭효과(Inverse Narrow Width Effect) 및 험프(Hump)와 같은 비정상적인 소자 특성을 유발한다. 그리고, LOCOS 및 STI 공정을 통해 형성된 필드 산화막의 양측 모서리 부분이 후속 공정에 의해 과도하게 식각되어 나타나는 모우트(moat ; 필드 산화막의 활성 부근이 후속 식각에 의해 움푹하게 들어간 형상)로 인해 소자 결함이 발생하게 되는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<13> 따라서, 본 발명은 상기의 문제점을 해결하기 위하여 필드 영역의 필드 산화막이 활성영역 상부까지 형성될 정도로 넓고, 넓게 형성하여 후속 식각공정과 세정공정시 발생할 수 있는 모우트를 억제할 수 있는 반도체 소자의 소자 분리막 형성

방법을 제공한다.

【발명의 구성】

<14>

본 발명에 따른 반도체 기판 상에 패드 산화막, 비정질 실리콘막 및 하드 마스크막을 순차적으로 형성하는 단계와, 상기 하드 마스크막, 상기 비정질 실리콘막, 상기 패드 산화막 및 상기 반도체 기판의 일부를 식각하여 상기 하드 마스크막, 상기 비정질 실리콘막 및 상기 패드 산화막 측벽에 스페이서 형태의 폴리머막을 형성하는 단계와, 상기 폴리머막을 식각마스크로 상기 반도체 기판의 일부를 식각하여 트렌치를 형성하는 단계와, 상기 트렌치를 필드 산화막으로 매립한 다음, 상기 폴리머막과 상기 하드 마스크막을 제거하는 단계와, O₂ 플라즈마 산화 공정을 실시하여 상기 비정질 실리콘막의 상부와 상기 필드 산화막 측면의 상기 비정질 실리콘막을 산화하여 산화막을 형성하는 단계와, 상기 비정질 실리콘막 상부의 상기 산화막을 식각하는 단계 및 상기 비정질 실리콘막과 상기 비정질 실리콘막 하부의 상기 패드 산화막을 식각하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 소자 분리막 형성 방법을 제공한다.

<15>

이하, 첨부된 도면을 참조하여 본 발명의 실시예를 더욱 상세히 설명하기로 한다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하

도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 도면상에서 동일 부호는 동일한 요소를 지칭한다.

<16> 도 1a 내지 도 1h는 본 발명에 따른 반도체 소자의 소자 분리막 형성 방법을 설명하기 위한 단면도들이다.

<17> 도 1a를 참조하면, 반도체 기판(10) 상에 패드 산화막(12), 비정질 실리콘막(14) 및 하드 마스크막(16)을 형성한다.

<18> 구체적으로, H_2O 와 HF의 혼합비율이 50:1인 DHF(Dilute HF)와 NH_4OH , H_2O_2 및 H_2O 로 구성된 SC-1(Standard Cleaning - 1)을 이용하거나, NH_4F 와 HF의 혼합비율이 100:1 내지 300:1인 BOE(Buffered Oxide Etch)와 NH_4OH , H_2O_2 및 H_2O 로 구성된 SC-1을 이용하여 전처리 세정공정을 실시한다. 세정 공정 후 패드 산화막(12)을 습식 또는 습식 산화방식으로 50 내지 200Å의 두께로 형성하고, 패드 산화막(12) 증착 후 900 내지 910℃의 온도에서 N_2 를 이용하여 20 내지 30분간 열처리 공정을 실시함으로써 패드 산화막(12)과 반도체 기판(10)간의 계면의 결함 밀도를 최소화할 수도 있다.

<19> 패드 산화막(12) 상부에 400 내지 600℃의 온도와 0.1 내지 3.0torr의 압력 하에서 화학 기상 증착법(Chemical Vapor Deposition; CVD), 저압 화학 기상 증착법(Low Pressure CVD; LPCVD), 플라즈마 인핸스드 화학 기상 증착법(Plasma

Enhanced CVD; PECVD) 또는 대기압 화학 기상 증착법(Atmospheric Pressure CVD; APCVD) 방식으로 1000 내지 2000Å의 두께의 도핑되지 않은 비정질 실리콘막을 증착한다. 이로써 비정질 실리콘막(14)의 입도가 최소화되어 전계 집중을 방지할 수 있다. 비정질 실리콘막(14) 상에 LP-CVD 방법으로 약 1000 내지 2000Å 정도의 두께로 질화막을 증착하여 하드 마스크막(16)을 형성한다.

<20> 이에 한정되지 않고, 이온주입을 실시한 다음 상기의 공정을 진행할 수 있다. 예를 들어, 기판 표면의 결정결함 억제 또는 표면처리 및 이온주입시 버퍼층 역할을 하는 스크린 산화막(미도시)을 증착한 다음 이온주입을 실시하여 웰 또는 VT조절을 위한 이온층(미도시)을 형성한다. 상기 스크린 산화막을 제거한 다음 패드 산화막(12), 비정질 실리콘막(14) 및 하드 마스크막(16)을 증착한다.

<21> 도 1b를 참조하면, 소자 분리용 트렌치 형성을 위한 감광막 패턴(18)을 형성한 다음 감광막 패턴(18)을 식각마스크로 하는 식각공정을 실시하여 하드 마스크막(16), 비정질 실리콘막(14) 및 패드 산화막(12)을 순차적으로 식각하여 반도체 기판(10)을 노출시킨다.

<22> 후속 공정에 의해 형성된 트렌치의 상보 모서리 부분을 라운딩화 하기 위해 CF_4 와 CHF_3 같은 가스를 사용하여 과도한 식각을 수행함으로써 반도체 기판(10)의 일부를 제거하여 하드 마스크막(16), 비정질 실리콘막(14) 및 패드 산화막(12) 측벽에 스페이서 형태의 폴리머막(20)을 형성한다.

<23> 구체적으로, 하드 마스크막(16) 상에 3000 내지 10000Å 두께의 감광막을 도

또한 다음, 소자 분리용 마스크를 이용한 사진 식각공정을 실시하여 감광막 패턴(18)을 형성한다. 감광막 패턴(18)을 식각마스크로 하는 건식 식각공정을 실시하여 하드 마스크막(16), 비정질 실리콘막(14) 및 패드 산화막(12)을 식각한다.

<24>

불소 계열의 가스를 이용한 과도 식각을 실시하여 200Å 정도의 반도체 기판(10)을 식각하면서, 이때 발생된 폴리머(Polymer)에 의해 상기 적층구조물(패드 산화막, 측벽에 스페이서 형태의 폴리머막(20)을 형성한다. 과도 식각은 1400 내지 1600 mT의 압력과, 1100 내지 1300W의 파워하에서 50 내지 70sccm의 CHF₃가스와, 30 내지 50sccm의 CF₄ 가스와, 1400 내지 1600sccm의 Ar가스를 이용한 건식 식각을 실시하여 다량의 폴리머를 생성한다. 상기 과도한 식각으로 인해 측벽 스페이서 형태의 폴리머막(20)은 식각 패시베이션 효과(Etch passivation Effect)에 의해 패드 산화막(12)과 반도체 기판(10)사이에 단차가 유발된다. 이로 인해 후속 공정에 의해 형성될 소자 분리용 트렌치 상부의 모서리 부분을 라운딩화 한다. 라운딩되는 형상은 0.015 μ m의 트렌치 코너 폭과 20 내지 50°의 기울기를 갖는다.

<25>

도 1c를 참조하면, 감광막 패턴(20)과 식각된 면의 측벽에 형성된 스페이서 형태의 폴리머막(20)을 식각마스크로 하는 식각공정을 실시하여 반도체 기판(10)의 일부를 제거하여 STI 구조의 트렌치(22)를 형성한다. STI 구조의 트렌치(22) 측벽의 식각 데미지(Damage)를 보상하기 위한 건식산화공정을 실시하여 트렌치(22)의 코너부분을 라운딩한다. 전체 구조 상부에 고온 산화막(High Temperature Oxide; HTO)을 얇게 증착하고 고온에서 치밀화 공정을 수행하여 라이너 산화(liner oxid

e)막(미도시)을 형성한다. 물론 상술한 건식산화공정과 라이너 산화막 증착 공정을 생략하여 공정을 단순화 할 수 있다.

<26> 구체적으로, 트렌치(22)는 다양한 형태의 식각공정을 통해 반도체 기판(10)을 식각함으로서 트렌치(22)의 깊이와 기울기를 조절할 수 있다. 15mT의 압력과, 450W와 200W의 파워를 가한 상태에서 10sccm의 N_2 가스, 100 내지 150sccm의 HBr 가스, 35 내지 70sccm의 Cl_2 가스 및 8sccm의 O_2 가스를 이용하여 트렌치(22)를 형성하되, 상기 가스들의 유량과 식각 시간을 조절하여 70 내지 90°의 기울기를 갖는 2500 내지 4000Å 깊이의 트렌치(22)를 형성한다. 트렌치(22) 형성 후 에프터 트리트먼트 챔버(After Treatment Chamber; ATC)처리를 실시하여 트렌치(22) 측벽과 하부의 거칠기를 개선할 수 있다. 트렌치(22)의 형상을 살펴보면, 트렌치(22)는 상기 폴리머막 형성공정에서 상부 코너 부분에 일정한 기울기를 갖는 면이 형성되고, 후속 반도체 기판(10)의 일부를 패터닝 하여 일정한 기울기를 갖는 측변이 형성되어 이중의 기울기를 갖는 형상으로 형성된다.

<27> 감광막 스트립 공정을 실시하여 하드 마스크막(16) 상에 형성된 감광막 패턴(18)과 스페이서 형태의 폴리머막(20)을 제거한다.

<28> 도 1d를 참조하면, 트렌치(22)가 형성된 전체 구조 상부에 후속 평탄화 공정의 마진을 고려하여 4000 내지 6000Å 두께의 필드 산화막(24)을 증착하되, 트렌치(22) 내부에 빈공간이 형성되지 않도록 매립한 다음, 평탄화 공정을 실시한다. 평탄화 공정은 하드 마스크막(16)을 정지막으로 하는 화학 기계적 연마(Chemical

Mechanical Polishing)를 실시한다. 이때 평탄화 공정의 평탄화 타겟을 조절하여 필드 산화막(24)의 높이를 조절할 수 있다.

<29> 도 1e 및 1f를 참조하면, 인산(H_3PO_4) 수용액을 이용한 질화막 스트립 공정을 실시하여 하드 마스크막(16)을 제거한다. 하드 마스크막(16)의 제거로 인해 필드 산화막(24)이 비정질 실리콘막(14) 보다 돌출된다. O_2 플라즈마 처리를 통해 비정질 실리콘막(14)의 일부를 산화하여 비정질 실리콘막(14) 상부와 측벽에 실리콘 산화막(26)을 형성한다.

<30> 구체적으로, O_2 플라즈마 처리는 50 내지 200℃의 온도 범위를 갖는 플라즈마 에칭(Plasma Ashing) 방법과 O_2 이온주입(Ion Implantation) 방법을 이용하여 비정질 실리콘막(14)의 표면을 산화한다. 이로써 필드 산화막(24) 측벽의 비정질 실리콘막(14)이 산화되고, 산화된 실리콘 산화막(26)과 필드 산화막(24)이 융화되어 소자분리막 영역이 확장된다. O_2 이온주입 방법은 0 내지 30° 범위로 4 회전하고, $1\text{E}14$ 내지 $1\text{E}16$ atoms/ cm^2 의 doz로 O_2 이온을 주입한다. 플라즈마 에칭 방법은 800mT의 압력, 1500와트(W)의 파워와 110℃의 온도하에서 1500sccm의 O_2 가스를 이용하여 실시한다. 이때 파워, 압력 및 가스의 흐름은 다양하게 변경하여 비정질 실리콘막(14)의 산화를 조절할 수 있고, 또한 시간 설정 또한 중요한 변수로서 비정질 실리콘막(14)의 산화를 조절할 수 있다.

<31> 도 1g 및 도 1h를 참조하면, 습식 또는 건식 식각을 실시하여 비정질 실리콘

막(14) 상부에 형성된 산화막(26)을 제거한다. 반도체 기판 상에 잔류하는 비정질 실리콘막(14)과 패드 산화막(12)을 제거한다.

<32> 구체적으로, O_2 플라즈마 산화 공정을 통해 산화되지 않은 비정질 실리콘막(14)이 노출될 때에 식각을 정지하는 타겟으로, 식각공정을 실시하여 비정질 실리콘막(14) 상부의 산화막(26)을 식각한다. 질산(HNO_3) 수용액을 이용한 습식 식각을 실시하여 비정질 실리콘막(14)을 식각한다. 세정 공정을 실시하여 패드 산화막(12)을 식각하여 활성영역까지 돌출된 소자 분리막을 형성한다. 소자 분리막은 트렌치(22) 내부가 필드 산화막(24)으로 완전히 매립되어 있고, 활성영역 상부에는 실리콘 산화막(26)과 패드 산화막(12)의 일부가 잔류되어 있는 형상으로 형성된다. 본 실시예를 통해 형성된 필드 산화막(24)은 활성영역보다 높게 형성되고, 활성영역까지 넓게 형성됨으로써 양측 모서리 부분이 과도하게 식각되더라도 모우트가 발생하지 않게 된다.

【발명의 효과】

<33> 상술한 바와 같이, 본 발명은 비정질 실리콘막 삽입과 비정질 실리콘막의 산화된 부분이 필드 산화막과 융화되어 필드 산화막이 활성영역보다 높게 형성되고, 활성영역 상부까지 넓게 형성되어, 후속 식각 및 세정 공정시 모우트가 발생하지 않아, 소자의 전기적 특성을 향상할 수 있다.

<34> 또한, 트렌치 상부에 완만한 경사면을 형성하여 필드 산화막 상부 모서리 부

근에 집중되었던 스트레스를 최소화 할 수 있고, ATC 처리로 인해 측벽 표면 및 하부의 거칠기를 개선한다.

【특허청구범위】

【청구항 1】

반도체 기판 상에 패드 산화막, 비정질 실리콘막 및 하드 마스크막을 순차적으로 형성하는 단계;

상기 하드 마스크막, 상기 비정질 실리콘막, 상기 패드 산화막 및 상기 반도체 기판의 일부를 식각하여 상기 하드 마스크막, 상기 비정질 실리콘막 및 상기 패드 산화막 측벽에 스페이서 형태의 폴리머막을 형성하는 단계;

상기 폴리머막을 식각마스크로 상기 반도체 기판의 일부를 식각하여 트렌치를 형성하는 단계;

상기 트렌치를 필드 산화막으로 매립한 다음, 상기 폴리머막과 상기 하드 마스크막을 제거하는 단계;

O_2 플라즈마 산화 공정을 실시하여 상기 비정질 실리콘막의 상부와 상기 필드 산화막 측면의 상기 비정질 실리콘막을 산화하여 산화막을 형성하는 단계;

상기 비정질 실리콘막 상부의 상기 산화막을 식각하는 단계; 및

상기 비정질 실리콘막과 상기 비정질 실리콘막 하부의 상기 패드 산화막을 식각하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 소자 분리막 형성 방법.

【청구항 2】

제 1 항에 있어서,

상기 O_2 플라즈마 산화 공정은 50 내지 $200^{\circ}C$ 의 온도 범위를 갖는 플라즈마
에칭 방법과 O_2 이온주입 방법을 이용하여 상기 비정질 실리콘막의 상부와 측변을
산화하는 것을 특징으로 하는 반도체 소자의 소자 분리막 형성 방법.

【청구항 3】

제 1 항에 있어서, 상기 스페이서 형태의 폴리머막은,

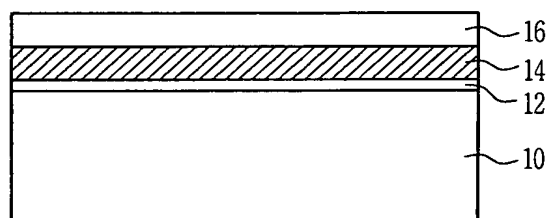
상기 하드 마스크막상에 감광막 패턴을 형성하는 단계;

상기 감광막 패턴을 식각마스크로 하여 상기 하드 마스크막, 상기 비정질 실
리콘막 및 상기 패드 산화막을 식각하는 단계; 및

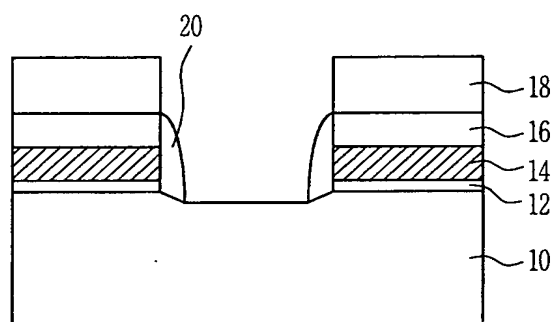
CF_4 와 CHF_3 같은 가스를 사용하여 상기 반도체 기판을 200\AA 정도 식각하여
다량의 폴리머를 발생시켜 상기 하드 마스크막, 상기 비정질 실리콘막 및 상기 패
드 산화막 측벽에 스페이서 형태의 폴리머막을 형성하는 것을 특징으로 하는 반도
체 소자의 소자 분리막 형성 방법.

【도면】

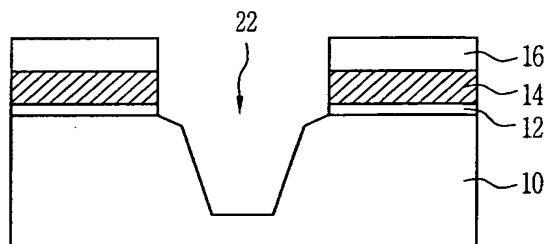
【도 1a】



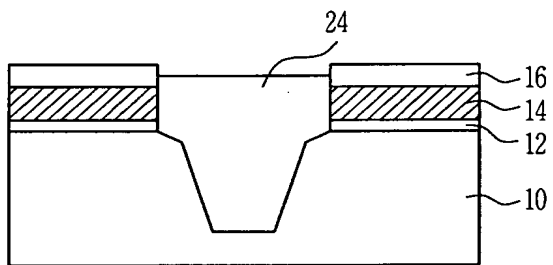
【도 1b】



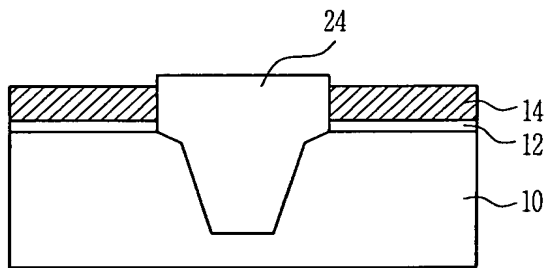
【도 1c】



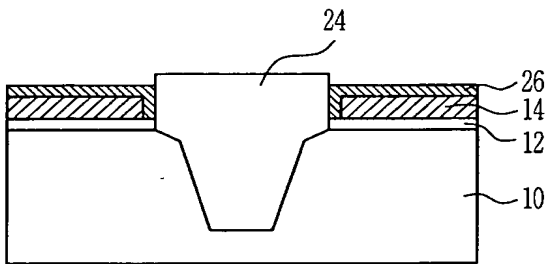
【図 1d】



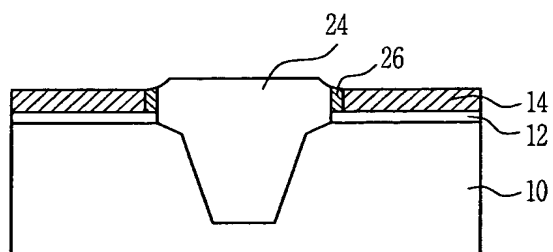
【図 1e】



【図 1f】



【図 1g】



【図 1h】

